

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-313241

(43)公開日 平成4年(1992)11月5日

(51)Int.Cl.⁵

H 01 L 21/336
29/784

識別記号

庁内整理番号

F I

技術表示箇所

9056-4M

H 01 L 29/78

3 1 1 P

審査請求 未請求 請求項の数2(全5頁)

(21)出願番号 特願平3-79255

(22)出願日 平成3年(1991)4月11日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 矢▲崎▼ 正俊

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

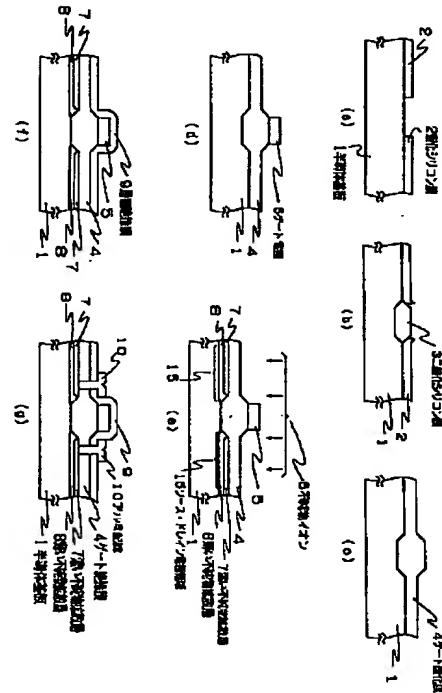
(74)代理人 弁理士 鈴木 喜三郎 (外1名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】本発明の半導体装置の製造方法は簡略化された工程で高信頼性で優れた電気特性を有するLDD構造の半導体装置の製造方法を提供することを目的とする。

【構成】半導体基板上にMOS型電界効果トランジスタを形成する半導体装置の製造方法において、選択酸化工程を利用することによりLDD構造を容易に実現できることを特徴とする。また、前記選択酸化工程の際に同時に二酸化シリコン膜からなるゲート絶縁膜の一部と素子分離領域を形成することを特徴とする。



1

2

【特許請求の範囲】

【請求項1】半導体基板上にMOS型電界効果トランジスタを形成する半導体装置の製造方法において、前記半導体基板上に窒化シリコン膜を成膜し前記窒化シリコン膜の一部をホトリソグラフィー法により除去する工程と、前記窒化シリコン膜をマスクにして前記半導体基板の露出した領域を選択酸化して二酸化シリコン膜を形成する工程と、前記窒化シリコン膜を取り除いて熱酸化工程によりゲート絶縁膜を形成する工程と、ゲート電極を形成する工程と、前記ゲート電極をマスクにして前記半導体基板上に不純物イオンを注入する工程を含むことを特徴とする半導体装置の製造方法。

【請求項2】特許請求の範囲第1項記載の半導体装置の製造方法において、前記選択酸化の際に同時に二酸化シリコン膜からなる素子分離領域を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、LDD構造を有する半導体装置の製造方法に関する。

【0002】

【従来の技術】従来のLDD構造を有する半導体装置の製造方法としては特開平02-273933に記載された例が知られている。図2および図3に従来例の実施例を示す。以下図面にもとづき詳しく述べる。

【0003】まず、図2に示したように半導体基板上にLDD構造の半導体装置を構成するには、サイドウォール絶縁膜11の形成工程と濃い不純物拡散層7と薄い不純物拡散層8を形成するための2回の不純物イオン注入工程が不可欠であった。さらに、ホットキャリヤのゲート絶縁膜やサイドウォール絶縁膜への注入による半導体装置の電気的特性の劣化を防止するためには、図3に示したように極く薄い多結晶シリコン膜12などの導電膜を構成する工程をくわえる必要がある。

【0004】

【発明が解決しようとする課題】しかしながら、上記の図3に示した従来の技術では、ホットキャリヤの注入を防止する極く薄い多結晶シリコン膜12等からなる導電膜はゲート電極5と接触しているため、ゲート電極5に電圧を印加した際には、極く薄い多結晶シリコン膜12とゲート電極5が同電位を有し、結果として半導体基板1内に構成された薄い不純物拡散層8近傍の電界を強める効果を生むことになる。本来、LDD構造を構成する目的は、薄い不純物拡散層を構成することによりドレイン電極近傍の電界を弱め、ドレイン電極とソース電極間の電気的な耐圧を上げ、リーク電流をも減少させることにある。しかし、従来例のようにゲート電極5と同電位になる極く薄い多結晶シリコン膜12等からなる導電膜を構成してしまうと、薄い不純物拡散層を形成してもドレイン電極近傍の電界を十分弱めることができなくなつ

てしまう。このため、このような導電膜を構成したLDD構造の半導体装置においては、工程が複雑なことに加えてドレイン・ソース両電極間の電気的耐圧を十分上げることができないという問題点がある。

【0005】また、図2に示すような良く知られたLDD構造の半導体装置を構成する従来の工程においても、濃い不純物拡散層7と薄い不純物拡散層8を構成するために、最低2回の不純物イオンの注入をおこなわねばならないという問題点をも有している。さらに、図2および図3におけるサイドウォール絶縁膜11は、LDD構造を実現するに不可欠の膜であるが、通常およそ1000°Cほどの高温状態で熱酸化工程により形成されるゲート酸化膜4と異なり、800°C以下の低温状態で成膜されるために、その膜質はけっして良いものではなかった。このため、サイドウォール絶縁膜11中に存在する欠陥により構成されるトラップ準位や空間電荷が、LDD構造を有する半導体装置の電気的特性にしばしば悪影響を与えるという問題点も有している。

【0006】そこで、本発明はこのような問題点を解決するもので、その目的とするところは、工程を簡略化しつつ電気的特性に悪影響をおよぼし易いサイドウォール絶縁膜や導電膜を構成することなく、一回の不純物イオンの注入によりLDD構造の半導体装置を構成し得る半導体装置の製造方法を提供することにある。

【0007】

【課題を解決するための手段】本発明の薄膜トランジスタの製造方法は、半導体基板上にMOS型電界効果トランジスタを形成する半導体装置の製造方法において、前記半導体基板上に窒化シリコン膜を成膜し前記窒化シリコン膜の一部をホトリソグラフィー法により除去する工程と、前記窒化シリコン膜をマスクにして前記半導体基板の露出した領域を選択酸化して二酸化シリコン膜を形成する工程と、前記窒化シリコン膜を取り除いて熱酸化工程によりゲート絶縁膜を形成する工程と、ゲート電極を形成する工程と、前記ゲート電極をマスクにして前記半導体基板上に不純物イオンを注入する工程を含むことを特徴とする。

【0008】また、特許請求の範囲第1項記載の半導体装置の製造方法において前記選択酸化の際に同時に二酸化シリコン膜からなる素子分離領域を形成することを特徴とする。

【0009】

【実施例】以下本発明に係る半導体装置の製造方法について、実施例にもとづき詳細に説明する。

【0010】まず、図1(a)～(g)は本発明の半導体装置の製造方法の一実施例を示す工程順断面図である。はじめに図1(a)に示したように半導体基板1上に窒化シリコン膜2を成膜し、ホトリソグラフィー法により窒化シリコン膜2の一部を取り除く。次に図1(b)に示したように窒化シリコン膜2をマスクにして

選択酸化を行い二酸化シリコン膜3を構成する。後にこの二酸化シリコン膜3は半導体装置のゲート絶縁膜の一部となる。次に、窒化シリコン膜2を取り除いて図1(c)に示すように熱酸化を行い半導体基板1全体を酸化しゲート絶縁膜4を構成する。図1(b)の選択酸化工程の際に二酸化シリコン膜が形成された領域の酸化膜の膜厚はさらにより厚くなる。次に、図1(d)に示すようにゲート電極5を構成し、図1(e)に示すようにゲート電極をマスクにして不純物イオン6を注入し半導体基板1の表面に濃い不純物拡散層7と薄い不純物拡散層8を形成する。このように濃度の異なる拡散層が構成し得る理由は、ゲート絶縁膜4の膜厚が局所的に異なり、ゲート電極5に覆われる領域の膜厚が最も厚く、ソース・ドレイン電極領域15を覆うゲート酸化膜4が比較的薄いためによっている。なぜなら、ある加速電圧により一定濃度で不純物イオン6を打ち込んだ場合、不純物イオン6はゲート酸化膜4の膜厚の薄いところほど濃い濃度で注入されるからである。このように、ゲート絶縁膜4の局所的な膜厚の違いを利用することにより、不純物イオンの打ち込み工程を一回おこなうだけでLDD構造を構成できる。そのうえさらに、電気的特性に悪影響をおよぼすことになるサイドウォール絶縁膜の構成することやホットキャリヤの注入を防ぐための導電膜を設ける必要性もない。このため、この工程を使って半導体装置を製作すれば、工程の簡略化と短縮化が実現すると共に高性能かつ高信頼性の半導体装置を得ることができる。不純物拡散層形成後、図1(f)に示すように層間絶縁膜9を積層する。次に図1(g)に示すように濃い不純物拡散層7を覆う層間絶縁膜9とゲート絶縁膜4の一部を取り除き、濃い不純物拡散層7と接触するアルミ配線10を構成することにより半導体装置が完成する。従来例では2回の不純物イオン注入とそれに伴う不純物イオンによるドナー準位あるいはアクセプタ準位構成のための2回のアニール処理を必要とするが、本実施例においてはそれぞれ1回で良好な工程が簡略化される。

【0011】さらに、図1(b)の選択酸化の工程の際に、同時に素子分離領域を構成することが可能であることを示そう。まず、図4(a)において半導体基板1上に窒化シリコン膜2を成膜し半導体装置形成領域13と素子分離領域14を覆う窒化シリコン膜2をホトリソグラフィー法により除去する。次に窒化シリコン膜2をマスクにして選択酸化をおこない図4(b)に示したように二酸化シリコン膜3を半導体装置形成領域13と素子分離領域14の両領域に形成する。素子分離領域14に形成された二酸化シリコン膜3は、半導体基板1内に設けられる隣接しあう領域からの電気的干渉を弱める働きを担う。他方、半導体装置形成領域13の二酸化シリコ

ン膜3は、図1(b)の二酸化シリコン膜3と同じ役割を担い半導体装置のゲート絶縁膜を構成する二酸化シリコン膜の一部となる。このため図4(b)に示した選択酸化工程は、同時に素子分離用の酸化膜とゲート絶縁膜用の酸化膜の一部を構成し得ることが可能である。したがって、この工程の後、前記の実施例の図1(c)～(g)に示したのと同様に半導体装置を構成すれば、一回の不純物イオンの注入により高信頼性のLDD構造を有する素子分離された半導体装置を容易に得ることがで
10きる。なお、図4(b)の工程の後、もし素子領域の二酸化シリコン膜3の膜厚が十分でなかった場合には、半導体装置形成領域13二酸化シリコン膜3を覆うようにさらに窒化シリコン膜2を積層し、図4(c)に示すように素子分離領域14だけ再び選択酸化をおこない、厚膜の二酸化シリコン膜3を同領域に形成すれば良い。

【0012】

【発明の効果】以上説明したように本発明の半導体装置の製造方法は、選択的酸化工程を利用することにより、電気的特性に悪影響をおよぼし易いサイドウォール絶縁膜を構成することもなく、一回の不純物イオン注入により高信頼性で優れた電気的特性を有するLDD構造の半導体装置を短縮された工程で実現できるという効果を有する。

【図面の簡単な説明】

【図1】(a)～(g) 本発明の半導体装置の製造方法の一実施例を示す工程順断面図。

【図2】従来の半導体装置の製造方法の一実施例を示す断面図。

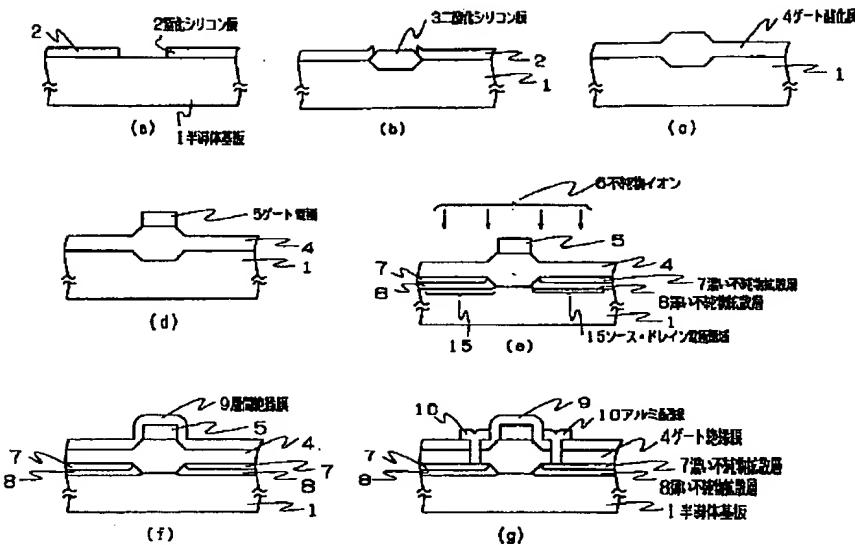
【図3】従来の半導体装置の製造方法の一実施例を示す断面図。

【図4】(a)～(c) 本発明の半導体装置の製造方法の別の実施例を示す工程順断面図。

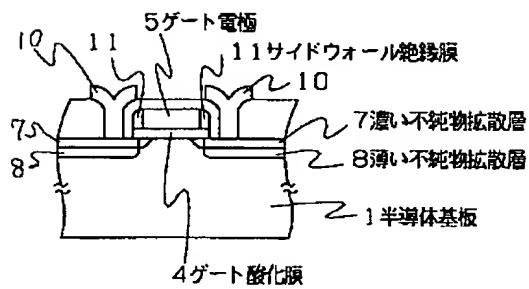
【符号の説明】

- 1 半導体基板
- 2 窒化シリコン膜
- 3 二酸化シリコン膜
- 4 ゲート酸化膜
- 5 ゲート電極
- 6 不純物イオン
- 7 濃い不純物拡散層
- 8 薄い不純物拡散層
- 9 層間絶縁膜
- 10 アルミ配線
- 11 サイドウォール絶縁膜
- 12 極く薄い多結晶シリコン膜
- 13 半導体装置形成領域
- 14 素子分離領域

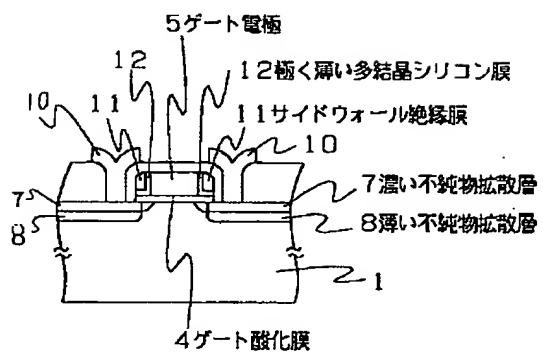
【図1】



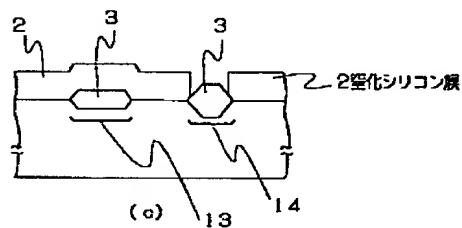
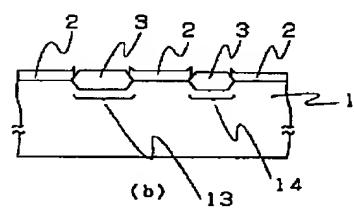
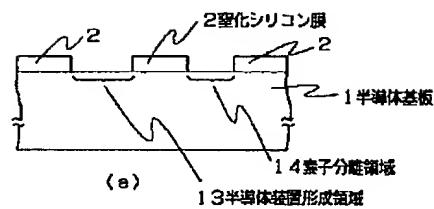
【図2】



【図3】



【図4】



CLIPPEDIMAGE= JP404313241A

PAT-NO: JP404313241A

DOCUMENT-IDENTIFIER: JP 04313241 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: November 5, 1992

INVENTOR-INFORMATION:

NAME

YAZAKI, MASATOSHI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SEIKO EPSON CORP	N/A

APPL-NO: JP03079255

APPL-DATE: April 11, 1991

INT-CL (IPC): H01L021/336;H01L029/784

ABSTRACT:

PURPOSE: To fabricate an LDD-structured semiconductor device having a highly reliable electric characteristic by only one-time impurity ion implantation by implanting the impurity ions into a semiconductor substrate with a gate electrode used as a mask.

CONSTITUTION: A silicon nitride film 2 is formed on a semiconductor substrate 1 and then a part of the silicon nitride film 2 is removed by photolithography. With the silicon nitride film 2 used as a mask, selective oxidation is conducted to form a silicon dioxide film 3. Nextly, a gate electrode 5 is formed. With the gate electrode 5 used as a mask, the impurity ions 6 are implanted to form a high concentration impurity diffusion layer 7 and a low concentration impurity diffusion layer 8 on the surface of the semiconductor substrate 1. Even if the impurity ions 6 are implanted in the fixed

concentration with accelerating voltage, the impurity ions 6 are implanted more heavily in a part of a gate oxide film 4 which has the thinner film thickness than any other parts. By using this theory, the LDD structure can be obtained with only one-time impurity ion implanting process.

COPYRIGHT: (C)1992,JPO&Japio